

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-316416
 (43)Date of publication of application : 29.11.1996

(51)Int.Cl.

H01L 27/04
 H01L 21/822
 H01P 3/06

(21)Application number : 07-114318
 (22)Date of filing : 12.05.1995

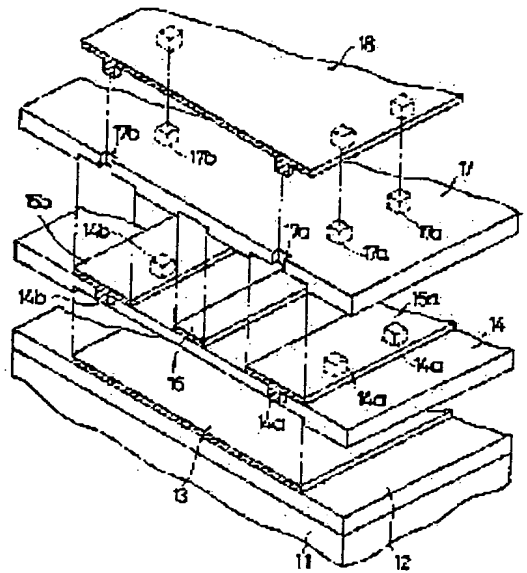
(71)Applicant : NIPPON PRECISION CIRCUITS KK
 (72)Inventor : KANEHACHI KAORU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce transmission loss, direction characteristics and crosstalk, by forming an element which functions as a coaxial line constituted of a conductive core layer and conductive shielding layers formed via insulating layers.

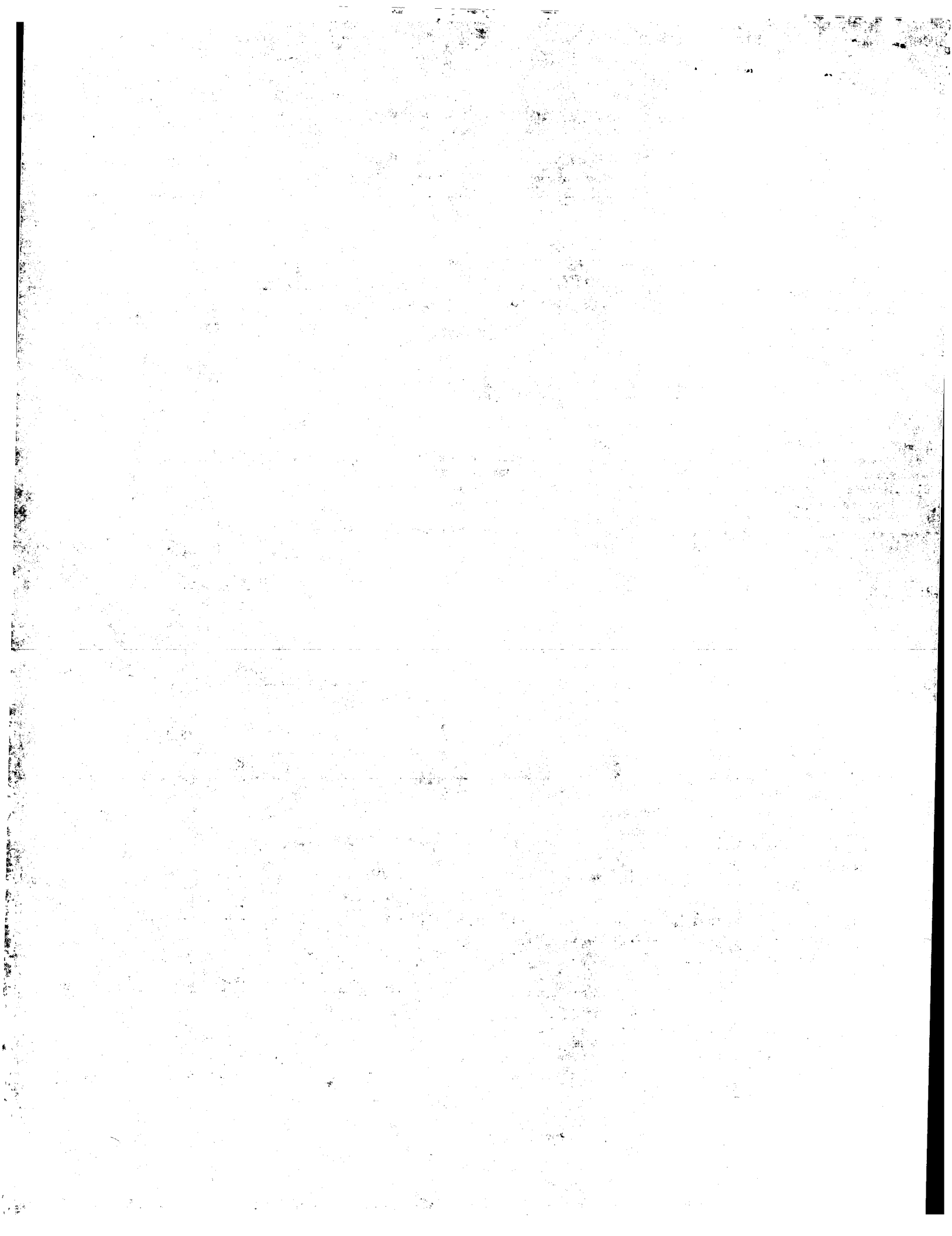
CONSTITUTION: The core layer of a coaxial line is constituted of a conductive layer 16. A shielding layer is constituted of conductive layers 13, 15a, 15b, 18. The conductive layers 13, 15a, 15b are connected through aperture parts 14a, 14b which are riveted at regular intervals. Since the conductive layer 18 is connected with the conductive layers 15a and 15b through aperture parts 17a and 17b which are riveted at regular intervals, respectively, a conductive layer (shielding layer) does not exist in a part where insulating layers 14 and 17 are not riveted. But the interval between neighboring aperture parts is sufficiently small as compared with the wavelength of a signal dealt with, so that the core layer is sufficiently invisible from the outside of the coaxial line, and crosstalk also can be sufficiently reduced.



LEGAL STATUS

[Date of request for examination]	30.06.2000
[Date of sending the examiner's decision of rejection]	29.08.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	2002-18874
[Date of requesting appeal against examiner's decision of rejection]	27.09.2002
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316416

(43) 公開日 平成8年(1996)11月29日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	D
21/822			H 0 1 P 3/06	
H 0 1 P 3/06				

審査請求 未請求 請求項の数 8 O L (全 4 頁)

(21) 出願番号 特願平7-114318

(22) 出願日 平成7年(1995)5月12日

(71) 出願人 390009667

日本プレジジョン・サーキット株式会社
東京都中央区京橋二丁目6番21号

(72) 発明者 兼八 薫

栃木県那須郡塩原町大字下田野531-1

日本プレジジョン・サーキット株式会社内

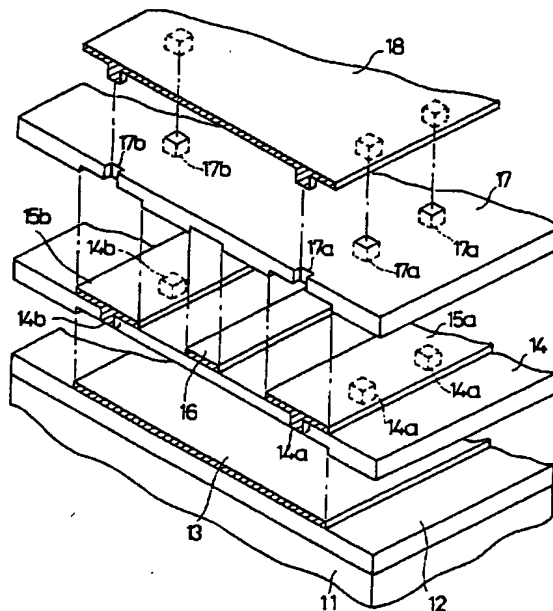
(74) 代理人 弁理士 松田 和子

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 伝送損失、分散特性あるいはクロストークを小さくすることが可能な半導体装置を提供することである。

【構成】 半導体基板11の主面側に形成された第1絶縁層12と、第1絶縁層12上に形成された第1導電層13と、第1導電層13上に形成された第2絶縁層14と、第1開口部14aを通して第1導電層13に接続される第2導電層15aと、第2開口部14bを通して第1導電層13に接続される第3導電層15bと、第2絶縁層14上に形成された第4導電層16と、第2絶縁層14上、第2導電層15a上、第3導電層15b上および第4導電層16上に形成された第3絶縁層17と、第3開口部17aを通して第2導電層15aに接続され第4開口部17bを通して第3導電層15bに接続される第5導電層18とにより、同軸線路として機能する素子を形成した。



【特許請求の範囲】

【請求項1】 半導体基板の主面側に形成された導電性のコア層と、上記コア層の周囲に絶縁層を介して形成された導電性のシールド層とにより、同軸線路として機能する素子を形成したことを特徴とする半導体装置。

【請求項2】 請求項1において、上記半導体基板の主面側には上記同軸線路として機能する素子の他に、トランジスタ等の複数の能動素子およびこれらの能動素子を接続する配線が形成されていることを特徴とする半導体装置。

【請求項3】 半導体基板の主面側に形成された第1絶縁層と、

上記第1絶縁層上に形成された第1導電層と、

上記第1導電層上に形成され上記第1導電層に達する第1開口部および第2開口部を有する第2絶縁層と、

上記第2絶縁層上に形成されるとともに上記第1開口部を通して上記第1導電層に接続される第2導電層と、

上記第2絶縁層上に形成されるとともに上記第2開口部を通して上記第1導電層に接続される第3導電層と、

上記第2絶縁層上に形成されかつ上記第2導電層と上記第3導電層との間に形成された第4導電層と、

上記第2絶縁層上、上記第2導電層上、上記第3導電層上および上記第4導電層上に形成され、上記第2導電層に達する第3開口部および上記第3導電層に達する第4開口部を有する第3絶縁層と、

上記第3絶縁層上に形成されるとともに上記第3開口部を通して上記第2導電層に接続され上記第4開口部を通して上記第3導電層に接続される第5導電層とにより、

同軸線路として機能する素子を形成したことを特徴とする半導体装置。

【請求項4】 請求項3において、上記半導体基板の主面側には上記同軸線路として機能する素子の他に、トランジスタ等の複数の能動素子およびこれらの能動素子を接続する配線が形成されていることを特徴とする半導体装置。

【請求項5】 請求項3に記載の第1導電層は請求項4に記載の能動素子を構成するための電極材料と同一の材料で形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 請求項3に記載の第2導電層および第3導電層は請求項4に記載の配線を形成する材料と同一の材料で形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項7】 請求項3に記載の第4導電層は請求項4に記載の配線を形成する材料と同一の材料で形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項8】 請求項3に記載の第5導電層は請求項4に記載の配線を形成する材料と同一の材料で形成されていることを特徴とする請求項4に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本願は、半導体装置特に同軸線路として機能する素子を有する半導体装置に関するものである。

【0002】

【従来の技術】従来の集積回路装置においては、扱う信号の周波数成分に対して集積回路の規模が十分に小さかったので、集積回路回路を集中定数回路として扱うことに特に問題はなかった。しかし、近年の集積回路装置の大型化および高速化により、集中定数回路としてのモデルは徐々に成立し難くなり、分布定数回路的な取扱いが必要となってきた。このような状況においては、配線は伝送線路としてのみ扱うことができず損失回路を含んだものとなる。そこで、分布定数回路として扱わなければならない箇所においては、マイクロストリップ線路等の開放型の伝送線路が用いられている。

【0003】

【発明が解決しようとする課題】しかしながら、マイクロストリップ線路等の開放型の伝送線路を用いた場合には、伝送損失が大きくなる、分散特性が大きくなる、あるいはクロストークが大きくなるといった問題点があった。

【0004】本願に係わる発明の目的は、伝送損失、分散特性あるいはクロストークを小さくすることが可能な半導体装置を提供することである。

【0005】

【課題を解決するための手段】本願に係わる半導体装置は、半導体基板の主面側に形成された導電性のコア層と、上記コア層の周囲に絶縁層を介して形成された導電性のシールド層とにより、同軸線路として機能する素子を形成したことを特徴とする。

【0006】また、本願に係わる半導体装置は、半導体基板の主面側に形成された第1絶縁層と、上記第1絶縁層上に形成された第1導電層と、上記第1導電層上に形成され上記第1導電層に達する第1開口部および第2開口部を有する第2絶縁層と、上記第2絶縁層上に形成されるとともに上記第1開口部を通して上記第1導電層に接続される第2導電層と、上記第2絶縁層上に形成されるとともに上記第2開口部を通して上記第1導電層に接続される第3導電層と、上記第2絶縁層上に形成されかつ上記第2導電層と上記第3導電層との間に形成された第4導電層と、上記第2絶縁層上、上記第2導電層上、上記第3導電層上および上記第4導電層上に形成され、上記第2導電層に達する第3開口部および上記第3導電層に達する第4開口部を有する第3絶縁層と、上記第3絶縁層上に形成されるとともに上記第3開口部を通して上記第2導電層に接続され上記第4開口部を通して上記第3導電層に接続される第5導電層とにより、同軸線路として機能する素子を形成したことを特徴とする。

【0007】

【実施例】図1は実施例を示した斜視図であり、半導体基板の主面側に形成された同軸線路として機能する素子の構成を示したものである。図2は図1の詳細な構成を示すために図1の構成を分解して示した斜視図である。なお、図1および図2において、前面および左右の側面は構成の断面を示したものである。以下、図1および図2を参照して実施例の説明をする。

【0008】半導体基板11の主面側には以下詳述する同軸線路として機能する素子が形成されており、同一の半導体基板11の主面側には集積回路の構成要素、例えばMOSトランジスタ等の複数の能動素子やこれらの能動素子を接続する配線等が形成されている。ここでは、同一基板上に多層配線構成を有するCMOSトランジスタ集積回路部が形成されているものとする。また、同軸線路として機能する素子はCMOSトランジスタ集積回路の製造工程を流用して形成されるものであり、製造工程の簡略化をはかることが可能となる。

【0009】シリコン基板11上には酸化シリコン等を用いた絶縁層12が形成されている。この絶縁層12にはフィールド絶縁層が利用される。絶縁層12上には同軸線路の下側のシールド層となる導電層13が形成されている。この導電層13には、同一の半導体基板11に形成されたCMOSトランジスタのゲート材料（ポリシリコンやモリブデン等の高融点金属）が用いられ、CMOSトランジスタのゲート形成工程と同一の工程で形成される。絶縁層12および導電層13上には酸化シリコン等を用いた絶縁層14が形成されている。この絶縁層14には層間絶縁層が利用される。この絶縁層14には、導電層13の上面に達する複数の開口部14a~14aが導電層13の右端に沿って一定間隔で形成され、導電層13の上面に達する複数の開口部14b~14bが導電層13の左端に沿って一定間隔で形成されている。互いに隣り合った開口部14a~14aの間隔および互いに隣り合った開口部14b~14bの間隔は、取り扱う信号の波長に対して十分に短くなっている。絶縁層14上には、開口部14a~14aを通して導電層13に接続される導電層15aおよび開口部14b~14bを通して導電層13に接続される導電層15bが形成されている。これらの導電層15aおよび導電層15bは、同軸線路の側部のシールド層となるものである。導電層15aと導電層15bとの間には、同軸線路のコア層となる導電層16が形成されている。これらの導電層15a、導電層15bおよび導電層16には、同一の半導体基板11に形成された多層配線構成を有するCMOSトランジスタ集積回路部における第1層めの配線の形成材料（例えばアルミニウム）が用いられ、第1層めの配線の形成工程と同一の工程で形成される。絶縁層14上並びに導電層15a、15bおよび導電層16上には、酸化シリコン等を用いた絶縁層17が形成されている。この絶縁層17には層間絶縁層が利用される。この

絶縁層17には、導電層15aの上面に達する複数の開口部17a~17aが導電層15aに沿って一定間隔で形成され、導電層15bの上面に達する複数の開口部17b~17bが導電層15bに沿って一定間隔で形成されている。互いに隣り合った開口部17a~17aの間隔および互いに隣り合った開口部17b~17bの間隔は、取り扱う信号の波長に対して十分に短くなっている。絶縁層17上には、開口部17a~17aを通して導電層15aに接続され開口部17b~17bを通して導電層15bに接続される導電層18が形成されている。この導電層18は、同軸線路の上側のシールド層となるものである。この導電層18には、同一の半導体基板11に形成された多層配線構成を有するCMOSトランジスタ集積回路部における第2層めの配線の形成材料（例えばアルミニウム）が用いられ、第2層めの配線の形成工程と同一の工程で形成される。

【0010】以上述べたように、導電層16によって同軸線路のコア層が構成され、導電層13、15a、15bおよび18によって同軸線路のシールド層が構成される。導電層13と導電層15aおよび15bとはそれぞれ一定間隔でリベット打ちされた開口部14a~14aおよび14b~14bを通して接続され、導電層18と導電層15aおよび15bとはそれぞれ一定間隔でリベット打ちされた開口部17a~17aおよび17b~17bを通して接続されている。したがって、絶縁層14および17のリベット打ちされていない部分においては導電層（シールド層）が存在しない。しかしながら、すでに述べたように、互いに隣り合った開口部の間隔が取り扱う信号の波長に対して十分に短くなっているため、同軸線路の外側からはコア層は十分に不可視となり、クロストークも十分に低減することができる。

【0011】なお、図1および図2に示した実施例では各開口部14a、14b、17aおよび17bはそれぞれ複数設けられていたが、これらの開口部14a、14b、17aおよび17bは導電層15aおよび15bの線路方向に沿って連続的にそれぞれ単数で構成してもよい。

【0012】以上述べた同軸線路として機能する素子を用いることにより、超高周波信号を低損失で伝送することが可能となるばかりでなく、これを用いて方向性結合器や分波器等の受動回路を構成することも可能である。

【0013】

【発明の効果】本願に係わる発明によれば、導電性のコア層とコア層の周囲に絶縁層を介して形成された導電性のシールド層とにより同軸線路として機能する素子を形成したので、伝送損失、分散特性あるいはクロストークを小さくすることが可能な半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】実施例を示した斜視図であり、半導体基板の主

面側に形成された同軸線路として機能する素子の構成を示したものである。

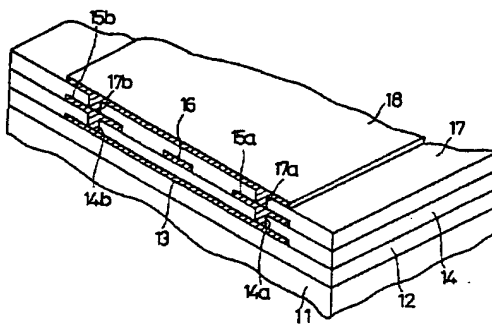
【図2】図2は図1の詳細な構成を示すために図1の構成を分解して示した斜視図である。

【符号の説明】

- 11 …… 半導体基板
- 12 …… 第1絶縁層
- 13 …… 第1導電層（シールド層）
- 14 …… 第2絶縁層

- * 14a …… 第1開口部
- 14b …… 第2開口部
- 15a …… 第2導電層（シールド層）
- 15b …… 第3導電層（シールド層）
- 16 …… 第4導電層（コア層）
- 17 …… 第3絶縁層
- 17a …… 第3開口部
- 17b …… 第4開口部
- * 18 …… 第5導電層（シールド層）

【図1】



【図2】

